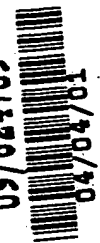


2

J1002 U.S. PTO
09/824709



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月28日

出 願 番 号
Application Number:

特願2000-130802

出 願 人
Applicant (s):

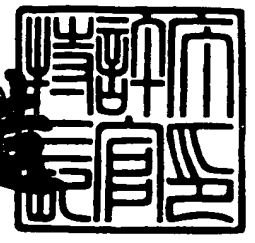
株式会社デンソー

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 IP4740

【提出日】 平成12年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 B60T 8/00

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 株根 秀樹

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 隈部 肇

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

 【氏名又は名称】 三浦 高広

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100111578

 【弁理士】

 【氏名又は名称】 水野 史博

 【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 複数電源回路を備えた電子制御装置

【特許請求の範囲】

【請求項 1】 複数の異なる電位の複数電源を形成する複数電源回路（82）を備え、

前記複数電源のいずれかをマイクロコンピュータ（60）の電源として用いており、

前記複数電源がそれぞれ規定された範囲の電位になっているか否かを検出し、いずれか 1 つでも前記規定された範囲の電位になっていないことが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

【請求項 2】 第 1 の電位（Vcc1）を出力する第 1 電源出力回路（82a）と、前記第 1 の電位よりも低電圧となる第 2 の電位（Vcc2）を出力する第 2 電源出力回路（82b）とを備え、前記第 1 電源出力回路が出力する第 1 の電位をマイクロコンピュータ（60）のペリフェラル回路部及びアナログデジタル変換回路部に印加し、前記第 2 電源出力回路が出力する第 2 の電位を前記マイクロコンピュータのリセット制御部、発振回路部及び CPU 部に印加するように構成した電子制御装置において、

前記第 1 の電位が規定された電位よりも低電圧であることを検出する第 1 電圧異常検出回路（310）と、

前記第 2 の電位が規定された電位よりも低電圧であることを検出する第 2 電圧異常検出回路とを備え、

前記第 1 電圧異常検出回路と前記第 2 電圧異常検出回路のいずれかで低電圧であることが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

【請求項 3】 前記第 1 電源出力回路に流れる電流が規定された範囲外であることを検出する第 1 電流異常検出部（320）と、

前記第 2 電源出力回路に流れる電流が規定された範囲外であることを検出する第 2 電流異常検出部とを備え、

前記第 1 電流異常検出回路と前記第 2 電流異常検出回路のいずれかで第 1 電源出力回路若しくは第 2 電源出力回路に流れる電流が規定された範囲外であることが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする請求項 2 に記載の電子制御装置。

【請求項 4】 複数の異なる電位の電源を形成する複数電源回路（82）を備え、

前記複数の電源のいずれかをマイクロコンピュータ（60）の電源として用いており、

前記複数の電源のうち前記マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも先に立ち上がるように構成されていることを特徴とする電子制御装置。

【請求項 5】 前記マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも後に立ち下がることを特徴とする請求項 4 に記載の電子制御装置。

【請求項 6】 複数の異なる電位の複数電源を形成する複数電源回路（82）と、

前記複数電源の立ち下げ時に、前記複数電源がそれぞれ規定された電位になったことを検出する手段（501、505）を有し、

前記複数電源のいずれかをマイクロコンピュータ（60）の電源として用いており、

前記複数電源のいずれか 1 つでも前記規定された電位になったことが検出されると、前記マイクロコンピュータをリセット状態にすることを特徴とする電子制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電源種類を形成する複数電源回路を備えた電子制御装置に関する。

【0002】

【従来の技術】

近年、ICの集積化、高速化が急速に進み、それに伴い電源電圧が低電圧化している。しかしながら、自動車などのノイズ環境が厳しい製品はノイズマージンの面からペリフェラル回路部が低電圧化できない。

【 0 0 0 3 】

このため、ペリフェラル回路部は高電圧、CPU部等は図12に示すように低電圧となるような、集積化とノイズマージンの両立化させた2電源回路を使用することが多くなっている。

【 0 0 0 4 】

また、発振回路等の放射電磁波ノイズ低減化、A/Dコンバータ回路等の高精度化が必要な回路部についても個別に電源ラインを設けることが多くなっている。

【 0 0 0 5 】

このような複数の電源ラインを有するワンチップマイクロコンピュータを使用する場合、電源ライン異常時にマイクロコンピュータの動作保証が行えなくなったり、電源立ち上げ時や電源立ち下げ時にマイクロコンピュータの動作が不定となったりするという問題がある。

【 0 0 0 6 】

図10に、従来使用されている2電源回路の回路構成を示し、上記問題について説明する。

【 0 0 0 7 】

まず、電源ライン異常時におけるマイクロコンピュータの動作保証に関する問題について説明する。

【 0 0 0 8 】

図10に示す2電源回路においては、入力端子601を介して入力される外部からの入力電圧VSに基づき、2つの電源出力回路600a、600bによって高電圧電源と低電圧電源の2種類の電源を形成している。具体的には、2電源回路は、高電圧側の出力端子602から電位V_{o1}（例えば5V）を出力すると共に、低電圧側の出力端子603である電位V_{o2}（例えば3.3V）を出力するように構成されている。

【 0 0 0 9 】

高電圧側の電源出力回路 6 0 0 a においては、抵抗 6 0 4 ~ 6 0 6 によって抵抗分割された電位と定電圧回路 6 0 7 が形成する基準電位とに基づいてアンプ 6 0 8 の出力を調整し、PNP トランジスタ 6 0 9 に流れる電流を制御することで出力端子 6 0 2 の電位が電位 V o 1 となるようにしている。

【 0 0 1 0 】

また、低電圧側の電源出力回路 6 0 0 b においては、抵抗 6 1 0、6 1 1 によって抵抗分割された電位と定電圧回路 6 0 7 が形成する基準電位とに基づいてアンプ 6 1 2 の出力を調整し、PNP トランジスタ 6 1 3 に流れる電流を制御することで出力端子 6 0 3 の電位が電位 V o 2 となるようにしている。

【 0 0 1 1 】

そして、これらのうち高電圧側の出力端子 6 0 2 をペリフェラル回路部の電源端子として用い、低電圧側の出力端子 6 0 3 をマイクロコンピュータの電源端子として用いているようにしてある。

【 0 0 1 2 】

このような回路構成において、出力電圧が低電圧異常である場合や高電圧異常である場合を監視したり、第 1、第 2 電源出力回路 6 0 0 a、6 0 0 b での過電流の発生を監視したりしている。

【 0 0 1 3 】

例えば、低電圧異常については、出力端子 6 0 2 に印加される電圧を抵抗 6 0 4 ~ 6 0 6 によって抵抗分割した電位と定電圧回路 6 0 7 が形成する参照電圧とをコンパレータ 6 1 4 で比較することによって監視している。すなわち、抵抗分割した電位が参照電圧よりも小さくなると、コンパレータ 6 1 4 から H i レベルが出力され、NPN トランジスタ 6 1 5 がオンになってコンパレータ 6 1 6 から H i レベルが出力されると共に、NPN トランジスタ 6 1 7 がオンになってリセット端子 6 1 8 の電位が L o w レベルになる。この L o w レベル出力をリセット信号として、低電圧異常が検出される。

【 0 0 1 4 】

また、高電圧異常については、各出力端子 6 0 2、6 0 3 に対して電位固定用

のツェナーダイオード 619、620 を接続することで、出力端子 602、603 の電圧が高電圧にならないようにしている。

【0015】

さらに、過電流については、各出力端子 602、603 に接続されるラインに抵抗 621、622 を配置すると共に、これらの抵抗 621、622 に対して電流リミット回路 623、624 を並列接続することで、電流リミット回路 623、624 によって検出できるようにしている。

【0016】

しかしながら、図 10 に示す従来の 2 電源回路では、高電圧側となる第 1 電源出力回路 600a についてのみ低電圧検出を行っており、低電圧側となる第 2 電源出力回路 600b については低電圧検出を行っていない。このため、低電圧側の出力端子 603 の電位がマイクロコンピュータの動作保証電位以上になっているか否か検出することができず、マイクロコンピュータの動作が保証できなくなるのである。

【0017】

次に、図 10 に示す 2 電源回路の電源の立ち上げ時及び立ち下げ時におけるマイクロコンピュータの不定状態に関する問題について説明する。図 11 に、電源の立ち上げ時及び立ち下げ時における各部の電圧波形を示す。

【0018】

従来の 2 電源回路においては、すべての電源を同時に立ち上げるようにしている。そして、出力端子 602 の電位がリセットレベルを超えると、マイクロコンピュータのウォームアップ時間を待ってマイクロコンピュータのリセット状態を解除し、出力端子 602 の電位がリセットレベルを下回るとリセット状態としている。

【0019】

このようにすべての電源が同時に立ち上げられる場合、図 10 に示す外部平滑コンデンサ C01、C02 消費電流及びカレットリミッタ値の影響等との兼ね合いで、必ずしもマイクロコンピュータ内部リセット制御回路の電源となる低電圧側の電源が高電圧側より先に立ち上がらない。通常の場合には、図 11 に示すよ

うに、電源電圧 V_S の印加に伴って高電圧側となる第 1 電源出力回路 6 0 0 a の電源が立ち上がったあと、低電圧側となる第 2 電源出力回路 6 0 0 b の電源が立ち上がることになる。

【 0 0 2 0 】

また、電源立ち下げ時においても同様であり、必ずしも第 2 電源出力回路 6 0 0 b の電源が第 1 電源出力回路 6 0 0 a より後に立ち下がらない場合がある。

【 0 0 2 1 】

これらのような場合、マイクロコンピュータ内部のリセット状態が不定となり、マイクロコンピュータが暴走したり若しくは I / O 出力が不定となり、電子制御装置内の回路が誤作動する可能性がある。

【 0 0 2 2 】

従って、このようなワンチップマイクロコンピュータを ABS（アンチスキッドブレーキシステム）に使用すると、ブレーキ機能の低下を招く可能性がある。

【 0 0 2 3 】

【発明が解決しようとする課題】

本発明は上記点に鑑みて成され、複数種の電源を形成するワンチップマイクロコンピュータを使用した回路において、マイクロコンピュータの動作保証が行えるようにすることを目的とする。

【 0 0 2 4 】

また、電源立ち上げ時や電源ライン異常時においても動作が確実に安全側となる回路構成を提供することも目的とする。

【 0 0 2 5 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明では、複数の異なる電位の複数電源を形成する複数電源回路（8 2）を備え、複数電源のいずれかをマイクロコンピュータ（6 0）の電源として用いており、複数電源がそれぞれ規定された範囲の電位になっているか否かを検出し、いずれか 1 つでも規定された範囲の電位になっていないことが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【 0 0 2 6 】

このように、複数電源のいずれか 1 つでも規定された範囲の電位になっていないことが検出されるとマイクロコンピュータがリセット状態にされるようにすることで、電源ライン異常時においても動作が確実に安全側となるようにすることができる。

【 0 0 2 7 】

請求項 2 に記載の発明では、第 1 の電位 (V_{cc1}) を出力する第 1 電源出力回路 (82a) と、第 1 の電位よりも低電圧となる第 2 の電位 (V_{cc2}) を出力する第 2 電源出力回路 (82b) とを備え、第 1 電源出力回路が出力する第 1 の電位をマイクロコンピュータ (60) のペリフェラル回路部及びアナログデジタル変換回路部に印加し、第 2 電源出力回路が出力する第 2 の電位を前記マイクロコンピュータのリセット制御部、発振回路部及び CPU 部に印加するように構成した電子制御装置において、第 1 の電位が規定された電位よりも低電圧であることを検出する第 1 電圧異常検出回路 (310) と、第 2 の電位が規定された電位よりも低電圧であることを検出する第 2 電圧異常検出回路とを備え、第 1 電圧異常検出回路と第 2 電圧異常検出回路のいずれかで低電圧であることが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【 0 0 2 8 】

このように、第 1 電圧異常検出回路と第 2 電圧異常検出回路のいずれかで低電圧であることが検出されると、マイクロコンピュータをリセット状態にすることにより、マイクロコンピュータの動作保証を行うことができる。

【 0 0 2 9 】

請求項 3 に記載の発明においては、第 1 電源出力回路に流れる電流が規定された範囲外であることを検出する第 1 電流異常検出部 (320) と、第 2 電源出力回路に流れる電流が規定された範囲外であることを検出する第 2 電流異常検出部とを備え、第 1 電流異常検出回路と第 2 電流異常検出回路のいずれかで第 1 電源出力回路若しくは第 2 電源出力回路に流れる電流が規定された範囲外であることが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【0030】

これにより、第1、第2電源出力回路における過電流異常、低電流異常を検出することが可能となる。そして、低電流異常の検出が行えるため、マイクロコンピュータに接続される電源ラインの断線や接続がOPEN状態になっていることの検出も行うことができる。

【0031】

請求項4に記載の発明においては、複数の異なる電位の電源を形成する複数電源回路(82)を備え、複数の電源のいずれかをマイクロコンピュータ(60)の電源として用いており、複数の電源のうちマイクロコンピュータ内のリセット制御部の電源が、他の電源よりも先に立ち上がるように構成されていることを特徴としている。

【0032】

このように、マイクロコンピュータ内のリセット制御部の電源が他の電源よりも先に立ちあがるようにすることにより、電源立ち上げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になることを防止できる。

【0033】

請求項5に記載の発明においては、マイクロコンピュータ内のリセット制御部の電源が、他の電源よりも後に立ち下がることを特徴としている。

【0034】

このように、マイクロコンピュータの電源が他の電源よりも後に立ち下がるようにすることで、電源立ち下げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になることを防止できる。

【0035】

請求項6に記載の発明においては、複数の異なる電位の複数電源を形成する複数電源回路(82)と、複数電源の立ち下げ時に、複数電源がそれぞれ規定された電位になったことを検出する手段(501、505)を有し、複数電源のいずれかをマイクロコンピュータ(60)の電源として用いており、複数電源のいずれか1つでも規定された電位になったことが検出されると、マイクロコンピュータをリセット状態にすることを特徴としている。

【 0 0 3 6 】

このように、電源の立ち下げ時において複数電源のいずれかでも規定された電位になったことが検出されると、マイクロコンピュータをリセット状態にするようにすれば、電源立ち下げ時においてマイクロコンピュータが暴走したり、I/O出力が不定になることを防止できる。

【 0 0 3 7 】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【 0 0 3 8 】

【発明の実施の形態】

(第1実施形態)

本実施形態では、集積回路として、ABS（アンチスキッドブレーキシステム）制御用ECUに本発明の一実施形態を適用する場合について説明する。

【 0 0 3 9 】

まず、図1に、ABS制御用ECUによって制御されるABS制御装置の概略構成図を示し、ABS制御装置の構成について説明する。

【 0 0 4 0 】

図1に示すように、FR輪1、FL輪2、RR輪3及びRR輪4のそれぞれには、電磁ピックアップ式、磁気抵抗効果素子（MRE）式、若しくはホール素子式の車輪速度センサ5～8が配置されている。これら各車輪速度センサ5～8は各車輪1～4の回転に応じたパルス信号を発生させる。

【 0 0 4 1 】

また、各車輪1～4のそれぞれには、ホイールシリンダ11～14が配設されている。マスタシリンダ16がブレーキペダル27の踏み込みに応じてブレーキ液圧を発生させると、2位置弁（増圧制御弁）21～24及び油圧管路を介して各ホイールシリンダ11～14に圧送されるようになっている。なお、ブレーキペダル27の踏み込み状態はストップスイッチ29によって検出されるようになっている。

【 0 0 4 2 】

さらに、ホイールシリンダ 11、14 は 2 位置弁（減圧制御弁）31、34 を介してリザーバ 37 に接続されており、ホイールシリンダ 12、13 は 2 位置弁（減圧制御弁）32、33 を介してリザーバ 39 に接続されている。

【0043】

なお、2 位置弁 21～24 及び 31～34 は、連通位置と遮断位置とを有するソレノイド駆動式 2 位置弁で構成されており、ソレノイドへの通電により連通位置と遮断位置とを切換えられるように構成されている。

【0044】

一方、2 位置弁 21～24 の上下流はバイパス管路 41～44 によって接続されている。これらのバイパス管路 41～44 には逆止弁 41a～44a が備えられ、ホイールシリンダ 11～14 からマスタシリンダ 16 へ向かう圧油のみがバイパス管路 41～44 を介して流通できるようになっている。

【0045】

リザーバ 37、39 は、図示しないモータによって駆動されるポンプ 45a、45b 及び逆止弁 47、49 を介した油圧管路で接続されており、リザーバ 37、39 からマスタシリンダ 16 へ向かう圧油の流動のみが許容されている。

【0046】

車輪速度センサ 5～8 及びストップスイッチ 29 の検出信号は、ABS 制御用 ECU 50 に入力されている。ABS 制御用 ECU 50 は、上記検出信号に基づいて、各 2 位置弁 21～24 及び 31～34 の制御信号やポンプ 45a、45b の駆動を行うモータの制御信号等を発生させる。この制御信号に基づいて各 2 位置弁 21～24 及び 31～34 やモータを制御し、ABS 制御等を行うようになっている。

【0047】

図 2 に、ABS 制御用 ECU 50 の内部構造を表すブロック図を示す。この図に示されるように、ABS 制御用 ECU 50 には、マイクロコンピュータ 60、周辺 IC 70、ソレノイド駆動ドライバ 90、及び半導体リレー部 100 等からなる複数のチップが備えられている。

【0048】

以下、ABS制御用ECU50の各構成要素の詳細を説明するが、図2中に示した各矢印は、実線で示したものが制御系のライン、破線で示したものが監視系のライン、一点鎖線で示したものが禁止、遮断系のラインを示すものとする。なお、制御系のラインとは、矢印の先端の要素を矢印の後端の要素からの信号に基づいて制御することを意味する。また、監視系のラインとは、矢印の先端の要素が矢印の後端の要素からの信号に基づいて所定の要素が故障等していないか否か監視することを意味する。また、禁止、遮断系のラインとは、矢印の先端の要素が矢印の後端の要素からの禁止、遮断信号に基づいて所定の要素の駆動を禁止、遮断することを意味する。

【0049】

まず、マイクロコンピュータ60について説明する。マイクロコンピュータ60は、入力部61、演算部62、出力部63を備えており、入力部61に車輪速信号等の各種情報が入力されると、この入力された各種情報に基づいて演算部62がABS制御等に用いられる各種演算を行い、出力部63より演算結果に基づくABS制御信号、すなわちソレノイド駆動やモータ駆動信号を発生させるように構成されている。また、マイクロコンピュータ60にはシリアル通信部64が備えられており、演算部62での演算によって得られた各種信号（例えばABS制御中を示すABS制御信号）が入力されると、これら各種信号をシリアル化し、シリアル信号として周辺IC70に送信している。

【0050】

次に、周辺IC70について説明する。周辺IC70には、車輪速度入力バッファ71、スイッチ（以下、SWという）信号入力バッファ72、シリアル通信バッファ73、シリアル通信監視部74、内部発振回路75、ウォッチドック（以下、WDという）監視部76、リセット制御部77、駆動禁止信号発生部78、リレー駆動部79、ランプ駆動回路80、過熱保護回路81、電源監視部82、電源出力回路83、信号入出力バッファ84及び温度監視部85が備えられている。これら各要素が1チップに集積され、周辺IC70が構成されている。

【0051】

車輪速入力バッファ71では、図1に示した車輪速度センサ5～8から送られ

てくる信号を矩形波に修正する波形整形を行っている。この車輪速入力バッファ 7 1 によって波形整形された車輪速度信号がマイクロコンピュータ 6 0 に入力され、マイクロコンピュータ 6 0 が車輪速度や推定車体速度等の A B S 制御に用いる各種演算を行うようになっている。また、車輪速入力バッファ 7 1 では、車輪速度センサ 5 ～ 8 と A B S 制御用 E C U とを接続する配線の断線検出も行っており、断線検出が成されるとシリアル通信バッファ 7 3 に断線したことを示す断線信号を送るようになっている。

【 0 0 5 2 】

S W 信号入力バッファ 7 2 では、図 1 に示すストップスイッチ 2 9 のオン、オフ信号や、2 位置弁 2 1 ～ 2 4、3 1 ～ 3 4 のソレノイドへの通電が行われたか否かが判る信号（例えば、ソレノイドにかかる電圧値）のモニタリングを行っている。これにより、ブレーキペダル 2 7 の踏み込みが成されているか否かのオン、オフ信号や、ソレノイドへの通電が行われているか否かのオン、オフ信号が出力されるようになっている。

【 0 0 5 3 】

シリアル通信バッファ 7 3 では、車輪速入力バッファ 7 1 からの断線信号や S W 信号入力バッファ 7 2 からのオン、オフの信号等をシリアル化し、シリアル信号としてマイクロコンピュータ 6 0 への送信を行っている。上述したマイクロコンピュータ 6 0 からのシリアル信号は、このシリアル通信バッファ 7 3 に送られるようになっている。

【 0 0 5 4 】

シリアル信号監視部 7 4 では、シリアル通信バッファ 7 3 からのシリアル信号に基づいてマイクロコンピュータ 6 0 の監視を行う。具体的には、車輪速入力バッファ 7 1 及び S W 信号入力バッファ 7 2 からの信号等に基づいてマイクロコンピュータ 6 0 が演算した結果をシリアル通信バッファ 7 3 で受信し、その信号が適正な信号であるか否かの監視を行う。例えば、S W 信号入力バッファ 7 2 からストップスイッチ 2 9 が踏み込まれていないというオフ信号が送られてきているにも関わらず、シリアル通信部 6 4 から A B S 制御中という信号が送られてきた場合には、マイクロコンピュータ 6 0 からのシリアル信号が適正ではないと判定

するようになっている。そして、マイクロコンピュータ60からのシリアル信号が適正ではない場合には、後述するリセット制御部77にリセット信号を出力する若しくは、駆動禁止信号発生回路78に禁止信号を送るようになっている。

【0055】

内部発信部75では、シリアル信号監視部74やWD監視部76等に使用される内部クロックを形成している。この内部発振回路75では、タイミングが異なる複数種のクロック信号を生成しており、シリアル信号監視部74やWD監視部76では、監視用信号として相応しいタイミングのクロック信号を選択して、各監視を行っている。

【0056】

WD監視部76では、マイクロコンピュータ60から送られてくる演算周期等のデータに基づいて、マイクロコンピュータ60での演算が適正に成されているか否かの監視を行っている。例えば、演算適正に行われていれば、WD監視信号が交互に反転した信号として得られるため、このWD監視信号が交互に反転した信号となっていなければマイクロコンピュータ60での演算が適正な周期で行われていないと判定するようになっている。そして、マイクロコンピュータ60での演算が適正でない周期で行われていない場合には、後述するリセット制御部77にリセット信号を出力する若しくは、駆動禁止信号発生回路78に禁止信号を送るようになっている。

【0057】

リセット制御部77では、初期化の際、若しくはシリアル信号監視部74やWD監視部76、及び後述する電源監視部83からのリセット信号が入力されると、マイクロコンピュータ60にリセット信号を送るようになっている。このリセット信号を受け取ると、マイクロコンピュータ60は、マイクロコンピュータ60内の各値を予め規定されたりセット状態のモードにする。例えば、マイクロコンピュータ60での演算等をすべてストップさせる。また、このリセット信号は、シリアル通信バッファ73やシリアル信号監視部74にも送られるようになっており、このリセット信号に基づいて初期化等が行われる。

【0058】

駆動禁止信号発生部 78 では、シリアル信号監視部 74、WD 監視部 76、後述する過熱保護回路 81 及び電源監視部 83 からの禁止信号に基づき、リレー駆動部 79 にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、マイクロコンピュータ 60 を介さずに直接ソレノイド駆動ドライバ 90 に駆動禁止信号を送る。このため、駆動禁止信号発生部 78 からソレノイド駆動禁止信号が送られると、マイクロコンピュータ 60 が作動していてもソレノイド駆動が禁止される。

【0059】

リレー駆動部 79 では、マイクロコンピュータ 60 からのソレノイド駆動信号やモータ駆動信号に基づき、半導体リレー部 100 のスイッチングを制御し、ソレノイドやポンプ 45a、45b の駆動を行うモータへの通電を制御する。そして、駆動禁止信号発生部 78 や後述するソレノイド駆動ドライバ 90 の出力監視部 92 からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、リレー駆動部 79 は半導体リレー部 100 によってソレノイドへの通電やモータへの通電をストップさせるようになっている。

【0060】

ランプ駆動部 80 では、通常時にはマイクロコンピュータ 60 からの ABS 制御中信号に基づいて ABS 制御の作動状態を出力しているが、リセット制御部 77 からのリセット信号、若しくは駆動禁止信号発生部 78 からのソレノイド駆動禁止信号やモータ駆動禁止信号が入力されると、ABS 制御が非作動となることを出力する。このランプ駆動部 80 からの信号を受けて、図示しないランプが点灯し、ABS 制御の作動状態が確認できる。

【0061】

過熱保護回路部 81 では、周辺回路 70 を構成するチップが異常な温度になることを防止すべく、チップが所定温度に達したことを検出し、チップが所定温度以上になると駆動禁止信号発生部 78 に禁止信号を発生させると共に、それ以上の温度上昇を防止するために、マイクロコンピュータ 60 への電圧供給を止めるようになっている。

【0062】

電源出力回路 8 2 は、被監視ブロックに相当し、集積回路 5 0 外に配置された外部電源との接続が成される電源端子（第 1 の電源端子）1 0 1 及び接地端子（第 1 の接地端子）1 0 3 に接続されている。この電源出力回路 8 2 では、電源端子 1 0 1 に印加される電圧に基づいて、所望の値（例えば、5 V、3. 3 V）の電圧を出力するようになっている。この電源出力回路 8 2 の出力電圧が、マイクロコンピュータ 6 0、周辺 I C 7 0、ソレノイド駆動ドライバ 9 0 等の電源電圧として用いられる。なお、この電源出力回路 8 2 の詳細については後述する。

【 0 0 6 3 】

電源監視部 8 3 は、監視ブロックに相当し、電源出力回路 8 2 が接続される電源端子 1 0 1 とは別の電源端子（第 2 の電源端子）1 0 5 及び接地端子（第 2 の電源端子）1 0 7 に接続されている。電源監視部 8 3 では、電源出力回路 8 2 の出力電圧が所望の値になっているか否かの監視を行うと共に、電源出力回路 8 2 に印加される電圧が過電圧になっていないか否かの監視を行う。例えば、電源出力回路 8 2 の出力電圧が所望の値に満たない場合にはリセット制御部 7 7 にリセット信号が送られ、所望の値よりも高い場合には駆動禁止信号発生部 7 8 に禁止信号が送られるようになっている。また、電源出力回路 8 2 に印加される電圧が過電圧である場合には、駆動禁止信号発生部 7 8 に禁止信号を出力すると共に、異常過熱を防止するため、マイクロコンピュータ 6 0 への電圧供給を止めるようになっている。なお、この電源監視部 8 3 についての詳細は後述する。

【 0 0 6 4 】

信号入出力バッファ 8 4 は、車が故障した時のダイアグを調査するための端子 8 4 a に接続されており、テスターを端子 8 4 a に接続することでマイクロコンピュータ 6 0 との通信が行えるようになっている。また、この信号入出力バッファ 8 4 は、単なる出力バッファ、例えば車両用スピードメータの車速を表示するための信号（例えば、車輪速から演算された推定車体速度に相当する信号）を出力させるバッファに使用することができる。

【 0 0 6 5 】

温度監視部 8 5 では、常時、集積回路 5 0 の温度検出を行っている。温度監視部 8 5 は、集積回路 5 0 の温度に応じた信号を温度検出信号としてマイクロコン

ピュータ 6 0 に送るようになっている。この温度検出信号に基づいてマイクロコンピュータ 6 0 では、検出された温度に応じた A B S 制御の演算を行うようになっている。

【 0 0 6 6 】

続いて、ソレノイド駆動ドライバ 9 0 について説明する。ソレノイド駆動ドライバ 9 0 は、ソレノイドに接続された M O S トランジスタ 9 1 と、ソレノイド（ M O S トランジスタ 9 1 ）への通電状態を監視する出力監視部 9 2 と、 M O S トランジスタ 9 1 のオン、オフ駆動を行うアンド回路 9 3 とを備えている。

【 0 0 6 7 】

M O S トランジスタ 9 1 は、図 1 に示す各種制御弁 2 1 ~ 2 4 、 3 1 ~ 3 4 のそれぞれのソレノイドに接続されており、この M O S トランジスタ 9 1 によってソレノイドへの通電のスイッチングが成される。

【 0 0 6 8 】

出力監視部 9 2 は、各ソレノイド 1 つ 1 つに備えられ、各ソレノイドへのドライバ出力の監視を行っている。例えば、 M O S トランジスタ 9 1 のドレイン電圧やドレイン電流に基づいてソレノイドへの通電状態の監視を行う。これにより、例えば、ドレイン電流が過電流になっていないか、ソレノイドへの通電用配線がオープンになっていないか若しくはリークしていないか、 M O S トランジスタ 9 1 が高温になり過ぎていないか等を検出する。これにより、ソレノイド駆動に適していない結果が得られた場合には、出力監視部 9 2 はリレー駆動部 7 9 にソレノイド駆動禁止信号やモータ駆動禁止信号を送ると共に、アンド回路 9 3 にもソレノイド駆動禁止信号を送るようになっている。

【 0 0 6 9 】

アンド回路 9 3 には、マイクロコンピュータ 6 0 の出力信号、リレー駆動部 7 9 からの出力信号、駆動禁止信号発生部 7 8 からの出力信号、出力監視部 9 2 からの出力信号が入力される。本実施形態の場合、リレー駆動部 7 9 からの出力信号、駆動禁止信号発生部 7 8 からの出力信号、出力監視部 9 2 からの出力信号は、通常時には L o w レベルとなっているが、何らかの故障が合った時に H i レベルとなり、アンド回路 9 3 の出力が L o w レベル、つまり M O S トランジスタ 9

1 をオフするようになっている。

【 0 0 7 0 】

このため、ソレノイド駆動ドライバ 9 0 は、マイクロコンピュータ 6 0 や周辺 I C 7 0 からの信号に基づいてソレノイドへの通電を遮断できるだけでなく、ソレノイド駆動ドライバ 9 0 自身に備えら得た出力監視部 9 2 からの信号に基づいてソレノイドへの通電を遮断できるようになっている。

【 0 0 7 1 】

半導体リレー部 1 0 0 においては、半導体リレー 1 0 0 a では、ソレノイドへの通電のスイッチングを行っており、半導体リレー 1 0 0 b では、ポンプ 4 5 a 、 4 5 b の駆動を行うモータへの通電のスイッチングを行っている。これら各半導体リレー 1 0 0 a 、 1 0 0 b は、リレー駆動部 7 9 からの信号に基づいて制御され、通常時にはソレノイドやモータへの通電が可能となるように構成され、リレー駆動部 7 9 からソレノイド駆動禁止信号やモータ駆動禁止信号を受けると、ソレノイドやモータへの通電が行えなくなるように構成されている。

【 0 0 7 2 】

続いて、電源出力回路 8 2 の詳細について説明する。図 2 に示す電源出力回路 8 2 の詳細を表すブロック図を図 3 に示す。

【 0 0 7 3 】

この図に示されるように、電源出力回路 8 2 は、電源出力 V c c 1 （例えば 5 V）を出力する第 1 電源出力回路 8 2 a と、電源出力 V c c 1 よりも低電圧となる電源出力 V c c 2 （例えば 3 . 3 V）を出力する第 2 電源出力回路 8 2 b とを備えた 2 電源回路で構成されている。

【 0 0 7 4 】

この電源出力回路 8 2 と他のブロックとの具体的な回路構成を図 4 に示す。電源出力回路 8 2 及び電源監視部 8 3 は、図中の第 1、第 2 電源制御回路部 2 0 1 、 2 0 2 と第 1、第 2 バンドギャップ基準電源回路 2 0 3 、 2 0 4 によって構成されている。

【 0 0 7 5 】

これらのうちの第 1、第 2 電源制御回路部 2 0 1 、 2 0 2 に電源出力回路 8 2

が内蔵されている。図5に、第1電源制御回路部201の具体的な回路構成を示し、これら図4、図5に基づいて電源出力回路82と電源監視部83の詳細について説明する。なお、第2電源制御回路部202の回路構成は素子等の定数が異なる以外は第1電源制御回路部201と同様であるため、ここでは省略する。

【0076】

図5に示すように、第1電源制御回路部201内に第1電源出力回路82aが備えられている。この第1電源出力回路82aには、電源端子101を介して外部からの電源電圧 V_S が印加されるようになっており、この電源電圧 V_S と電源監視部83に備えられた第1バンドギャップ基準電源回路203が形成する基準電圧 V_{BG1} に基づいて、第1電源制御回路部201が電圧 V_{cc1} を出力するようになっている。具体的には、抵抗301及び抵抗302の定数を調整することにより、抵抗301及び抵抗302によって抵抗分割された電位と基準電圧 V_{BG1} とに基づいてアンプ303の出力を調整し、PNPトランジスタ304に流れる電流を制御することで V_{cc1} 端子が所望範囲の電位となるようにしている。

【0077】

また、第1電源制御回路部201には、電源監視部83の一部を構成する電圧異常検出回路（第1電圧異常検出回路）310が備えられている。この電圧異常検出回路310により、 V_{cc1} 端子の電位と電源監視部83に備えられた第2バンドギャップ基準電源回路83bによって形成される基準電圧 V_{BG2} とが比較され、正確に所望範囲の電圧になっているか否かが監視される。すなわち、 V_{cc1} 端子の電位が所望の電位よりも高電位となる高電圧異常や、低電位となる低電圧異常の検出が行われる。

【0078】

具体的には、抵抗311～313によって抵抗分割された2部位の電位と第2バンドギャップ基準電源回路204が形成する基準電圧 V_{BG2} とを2つのコンパレータ314、315によって比較し、 V_{cc1} 端子の電位が所望範囲になれば、電圧異常信号としてOR回路316からHiレベル出力がなされるようになっている。このOR回路316の出力が図4に示すDG-V端子の出力に相当

する。

【 0 0 7 9 】

さらに、第 1 電源制御回路部 2 0 1 には、第 1 電源出力回路 8 2 a に流れる電流が所望範囲の電流値にあるか否かを検出する電流異常検出回路（第 1 電流異常検出回路） 3 2 0 が備えられている。この電流異常検出回路 3 2 0 により、第 1 電源出力回路 8 2 a に流れる電流が所望の電流値より高電流である過電流異常や、低電流である低電流異常の検出が行われる。

【 0 0 8 0 】

具体的には、定電流源 3 2 1 及び抵抗 3 2 2、3 2 3 によって形成された定電位となる 2 部位の電位と第 1 電源出力回路 8 2 a に接続される電圧供給ラインの電位とを 2 つのコンパレータ 3 2 4、3 2 5 によって比較し、第 1 電源出力回路 8 2 a に過電流が発生すると、電流異常信号として OR 回路 3 2 6 から H i レベルが出力されるようになっている。この OR 回路 3 2 6 の出力が図 4 に示す D G - C 端子の出力に相当する。

【 0 0 8 1 】

なお、上述したように第 2 電源制御回路部 2 0 2 の回路構成も図 5 と同様であるが、第 1 電源制御回路部 2 0 1 の回路構成に対して抵抗 3 0 1 の定数が異なっており、V c c 2 端子が V c c 1 端子よりも低い所望範囲の電位となるようにしている。そして、第 2 電源制御回路部 2 0 2 の高電圧異常や低電圧異常、さらにな過電流異常や低電流異常が検出できるようになっている。なお、この第 2 電源制御回路部 2 0 2 に備えられる電圧異常検出回路が第 2 電圧異常検出回路に相当し、電流異常検出回路が第 2 電流異常検出回路に相当する。

【 0 0 8 2 】

このようにして、図 4 に示す第 1、第 2 電源制御回路部 2 0 1、2 0 2 それぞれの D G - C 端子及び D G - V 端子からの出力が OR 回路 2 0 5 を介してリセット制御部 7 7 に入力され、このとき入力される信号 f V C U N に基づいてリセット制御部 7 7 がリセット信号を出力するように構成されている。

【 0 0 8 3 】

具体的には、リセット制御部 7 7 の論理構成は図 6 のように表される。なお、

この図に示す信号Q6とは図2及び図4に示す内部発振回路75が形成するクロック信号の1つである。

【0084】

この図に示されるカウンタ77aは、初期状態においてはカウントが成されていないが、アンド回路77bの出力がHiレベルとなるため、アンド回路77cより信号Q6の立ち上がりタイミングに同期して出力されるHiレベル信号に伴ってカウントされ、最終桁までカウントが成される。このため、アンド回路77bの出力がLowレベルとなり、カウンタ77bは最終桁までカウントされた状態を維持し、リセット信号に相当する信号fRESがLowレベルとなる。

【0085】

これに対し、上記した電圧異常検出若しくは電流異常検出が成されると、信号fVCUNがHiレベルになるため、OR回路77dの出力がHiレベルとなりカウンタ77bがリセットされる。このため、アンド回路77bの出力がHiレベルとなり、マイクロコンピュータ60をリセット状態にするリセット信号が送られる。

【0086】

なお、信号fRSWDは、図4に示すWD監視部76からの異常検出信号であり、WD監視部76にて異常検出が行われた場合においても上記と同様の作動によりマイクロコンピュータ60をリセット状態にするリセット信号が送られるようになっている。

【0087】

以上説明したように、本実施形態においては第1、第2電源出力回路82a、82bが出力する電圧を両方共監視しているため、高電圧側のみでなく低電圧側についても監視することができ、マイクロコンピュータ60の動作を保証することができる。

【0088】

また、第1、第2電源出力回路82a、82bの両方において、低電流異常及び過電流異常を検出するようにしているため、マイクロコンピュータ60やABS制御用ECU50内の各回路（ペリフェラル部）の動作を保証することができ

る。

【0089】

さらに、上記した図10に示す従来の回路構成においては、低電流異常を検出する手段が備えられていないため、低電圧側の電源となるV_{o1}端子とマイクロコンピュータとを接続する電源ラインが断線したりOPEN状態になったりしてもそれを検出することができない。これに対し、第2電源出力回路82bにおいて低電流異常が検出できるようにしているため、低電圧側の電源となるV_{cc2}端子とマイクロコンピュータ60等とを結ぶ電源ラインの断線等についても検出することができる。

【0090】

(第2実施形態)

本実施形態では、第1実施形態に対して2電源回路における電源の立ち上げ順序を規定する場合について説明する。

【0091】

上述したように、2電源回路における電源の立ち上げ時や立ち下げ時において、マイクロコンピュータ60が不定状態になる場合がある。本実施形態では、このようなマイクロコンピュータ60の不定状態を防止するべく、2電源回路における電源の立ち上げ順序を規定するものである。

【0092】

図7に、本実施形態における電源出力回路82の具体的な回路構成を示し、図8に、図7中に示す順序コントロール及びリセット制御を行うコントロール部500の具体的な論理構成を示す。また、図9に、電源電圧V_S印加時における電源出力回路82の各部での電圧波形を示す。以下、これらの図を参照して本実施形態における電源出力回路82の作動を説明する。

【0093】

まず、各電源を立ち上げるために電源出力回路82に対して電源電圧V_Sを印加すると、図7に示す第2電源出力回路82bに備えられたPNPトランジスタ401がオンする。これにより、抵抗402～404によって抵抗分割された電位と図4に示す第2バンドギャップ基準電源回路204が形成する基準電圧V_B

G2とに基づいてアンプ405の出力が調整され、Vcc2端子の電位が上昇し、第2電源出力回路82bにおいて電源が立ち上がる。

【0094】

一方、Vcc2端子の電源が立ち上がる前には、抵抗402～404によって抵抗分割された電位VM2が参照電圧Vrefよりも小さいため、図8に示すコンパレータ501の出力がLowレベルとなり、インバータ回路502を介してMOSトランジスタ503がオンとなる。

【0095】

このため、コントロール部500のIHV1端子を介して電流が流れ、図8に示すPNPトランジスタ405がオンすると共にPNPトランジスタ406がオフし、第1電源出力回路82aにおいては電源が立ち上がらない。

【0096】

なお、このとき、コンパレータ501の出力がLowレベルとなるため、インバータ回路504からHiレベルが出力され、 θ SH端子を介してNPNトランジスタ411がオンになる。このため、コンデンサ412が充電されていたとしてもNPNトランジスタ411を介して電荷が引き抜かれるようになっている。

【0097】

続いて、第2電源出力回路82bにおける電源が立ち上がったのち、電位VM2が基準電圧VBG2を超えると、コンパレータ501からHiレベルが出力され、MOSトランジスタ503がオフされる。

【0098】

これにより、PNPトランジスタ405がオフすると共にPNPトランジスタ406がオンになる。これにより、抵抗407～409によって抵抗分割された電位と図4に示す第1バンドギャップ基準電源回路203が形成する基準電圧VBG1とに基づいてアンプ410の出力が調整され、Vcc1端子の電位が上昇し、第1電源出力回路82aにおいて電源が立ち上がる。

【0099】

このように、マイクロコンピュータ60内のリセット制御部の電源となる第2電源出力回路82bにおける電源が立ち上がった後に、その他の電源である第1

電源出力回路 8 2 a における電源が立ち上がるようにすることができる。

【 0 1 0 0 】

また、各電源が立ち上げられる前においては、VM 2 端子の電位も VM 1 端子の電位も基準電圧 VBG 2、VBG 1 よりも低電圧となっているため、コンパレータ 5 0 1 及びコンパレータ 5 0 5 の出力は Low レベルとなる。このため、インバータ回路 5 0 6、5 0 7 の出力が共に Hi レベルとなって、OR 回路 5 0 8 の出力が Hi レベルとなり、カウンタ 5 0 9 がリセット状態にされ、過数個備えられたインバータ回路 5 1 0、5 1 1 を介してリセット端子から Low レベルが出力される。このリセット端子の出力信号がリセット信号に相当し、リセット端子から Low レベルが出力されると、マイクロコンピュータ 6 0 がリセット状態にされる。

【 0 1 0 1 】

そして、各電源がすべて立ち上がり Vcc 1 端子及び Vcc 2 端子の電位が動作保証電圧を超えると、OR 回路 5 0 8 の出力が Low レベルとなり、内部発振回路 7 5 が形成するクロック信号 CK の立ち上がりパルスに同期してアンド回路から Hi レベルが出力され、カウンタ 5 0 9 でのカウントが成される。

【 0 1 0 2 】

この後、カウンタ 5 0 9 でのカウントが最終桁まで成されると、リセット端子から Hi レベルが出力される。つまり、マイクロコンピュータ 6 0 等のウォームアップ時間を待ってから、リセット端子からマイクロコンピュータ 6 0 のリセット状態を解除する信号が出力される。

【 0 1 0 3 】

このように、本実施形態における電源出力回路 8 2 では、まずマイクロコンピュータ 6 0 のリセット制御部の電源を立ち上げ、すべての電源が立ち上がり Vcc 1 端子及び Vcc 2 端子の電位が動作保証レベルの電位を超えてから、マイクロコンピュータ 6 0 のリセット状態を解除するようにしているため、マイクロコンピュータ 6 0 内部のリセット状態が不定になることはない。これにより、マイクロコンピュータ 6 0 等が暴走したり、I/O 出力が不定になることを防止でき、ABS 制御用 ECU 5 0 内の回路が誤作動することを防止することができる。

【0104】

次に、各電源を立ち下げるために電源出力回路82への電源電圧VSの印加を止めると、第1電源出力回路82aにおける電源、第2電源出力回路82bにおける電源が共に立ち下がり始める。そして、第2電源出力回路82bにおける電位VM2が回路動作保証レベルの電位を下回ると、図8に示すコンパレータ501の出力がLowレベルとなり、インバータ回路502の出力がHiレベルとなり、MOSトランジスタ503がオンされ、IHV1出力がLowレベルとなり、PNPトランジスタ405のベース電流を流し、PNPトランジスタ405をオンすると共に、PNPトランジスタ406をオフする。また一方、インバータ回路504の出力がHiレベルとなる。これにより、θSH端子を介してNPNトランジスタ411がオンし、コンデンサ412に充電された電荷がNPNトランジスタ411を介して引き抜かれ、第1電源出力回路82aにおける電源が瞬時に立ち下げられる。

【0105】

そして、第1電源出力回路82aにおける電位VM1がリセットレベルの電位を下回ると、コンパレータ505の出力がLowレベルとなり、カウンタ509がリセットされ、リセット端子からLowレベルが出力される。これにより、マイクロコンピュータ60がリセット状態にされる。

【0106】

一方、第2電源出力回路82bにおける電源はコンデンサ413等の時定数に応じた速度で立ち下がり、少なくとも第1電源出力回路82aにおける電源の立ち下げよりも遅いタイミングで立ち下がる。

【0107】

このように、各電源のうちの1つでも動作保証レベルの電圧を下回った際に即座にマイクロコンピュータ60がリセットされるようにしているため、マイクロコンピュータ60が確実にリセット状態にされる。さらに、リセット制御を行うコントロール部500の電源、つまり第2電源出力回路82bの電源が最も遅く立ち下がるようにしているため、マイクロコンピュータ60が暴走したり、I/O出力が不定になることを防止でき、ABS制御用ECU50内の回路が誤作動

することを防止することができる。

【0108】

(他の実施形態)

第1、第2実施形態では、電源出力回路82が2電源回路となる場合について説明したが、2以上の電源を形成する複数電源回路において、本発明を適用することが可能である。

【0109】

この場合、複数の電源回路のすべてにおいて高電圧異常、低電圧異常、過電流異常、低電流異常が検出されるようにすれば第1実施形態と同様の効果を得ることができる。

【0110】

また、複数電源のうちマイクロコンピュータの電源となるものが他の電源よりも先に立ち上がり、かつ他の電源よりも後に立ち下がるようにすれば、第2実施形態と同様の効果をえることができる。

【0111】

また、図4では示していないが、Vcc1端子及びVcc2端子に対してツェナーダイオードを接続し、Vcc1端子やVcc2端子が所望範囲より高電圧になることを防止することも可能である。

【図面の簡単な説明】

【図1】

本発明の第1実施形態におけるABS制御用ECUによって制御されるABS制御装置の概略構成を示す図である。

【図2】

ABS制御用ECU50の内部構造を表すブロック図である。

【図3】

図2に示す電源出力回路82の詳細を表すブロック図である。

【図4】

電源出力回路82と他のブロックとの具体的な回路構成を示す図である。

【図5】

第 1 電源制御回路部 2 0 1 の回路構成を示す図である。

【図 6】

図 4 に示すリセット制御部 7 7 の論理構成を示す図である。

【図 7】

従来の 2 電源回路における各電源の立ち上げ時、及び立ち下げ時のタイミングを説明するための図である。

【図 8】

本発明の第 2 実施形態における電源出力回路 8 2 の回路構成を示す図である。

【図 9】

図 8 に示すコントロール部 5 0 0 の論理構成を示す図である。

【図 1 0】

図 8 に示す電源出力回路 8 2 の各電源の立ち上げ時、及び立ち下げ時のタイミングを説明するための図である。

【図 1 1】

従来の 2 電源回路の回路構成を示す図である。

【図 1 2】

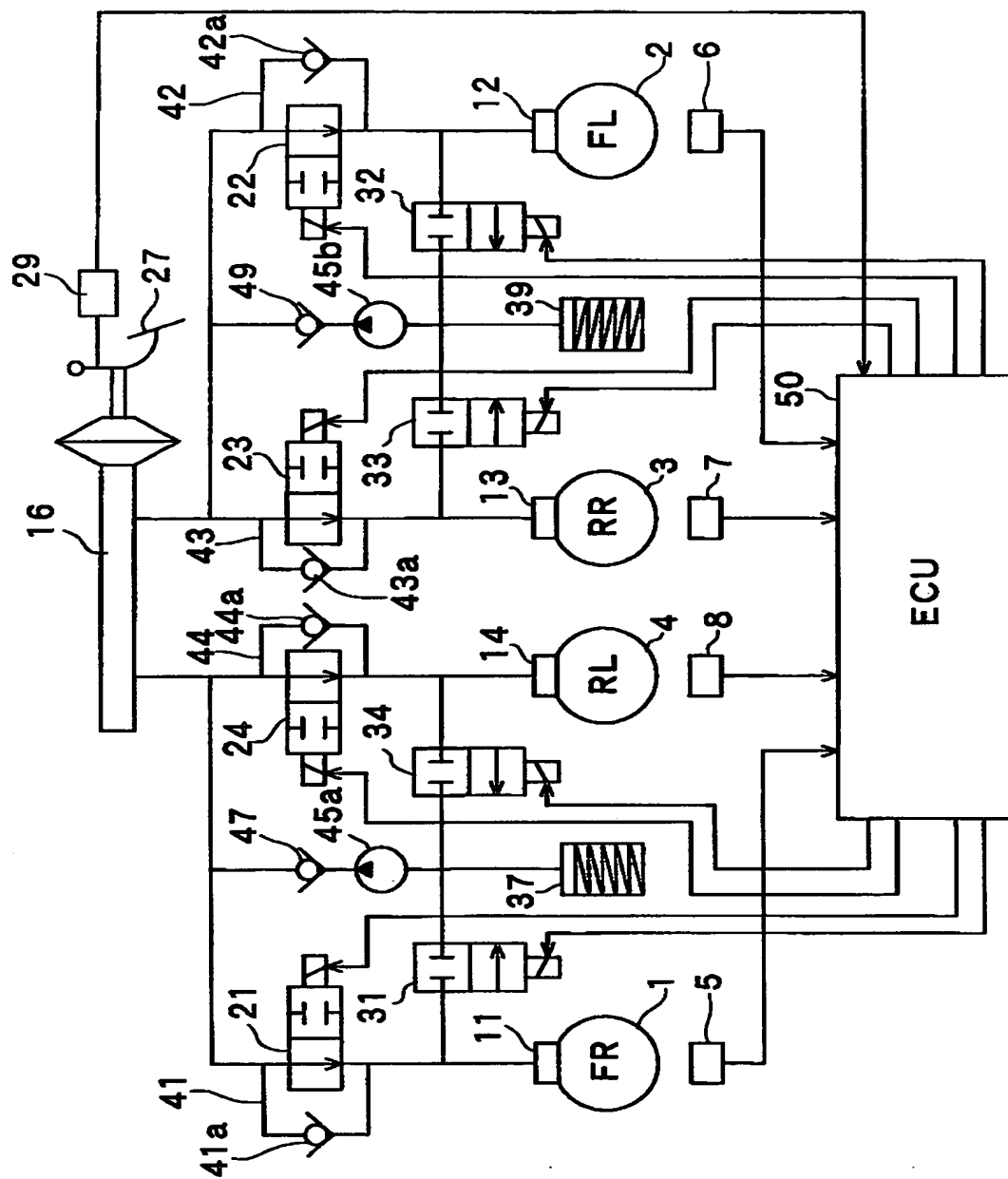
複数の電源を有するマイクロコンピュータの内部かいろ構成を示す図である。

【符号の説明】

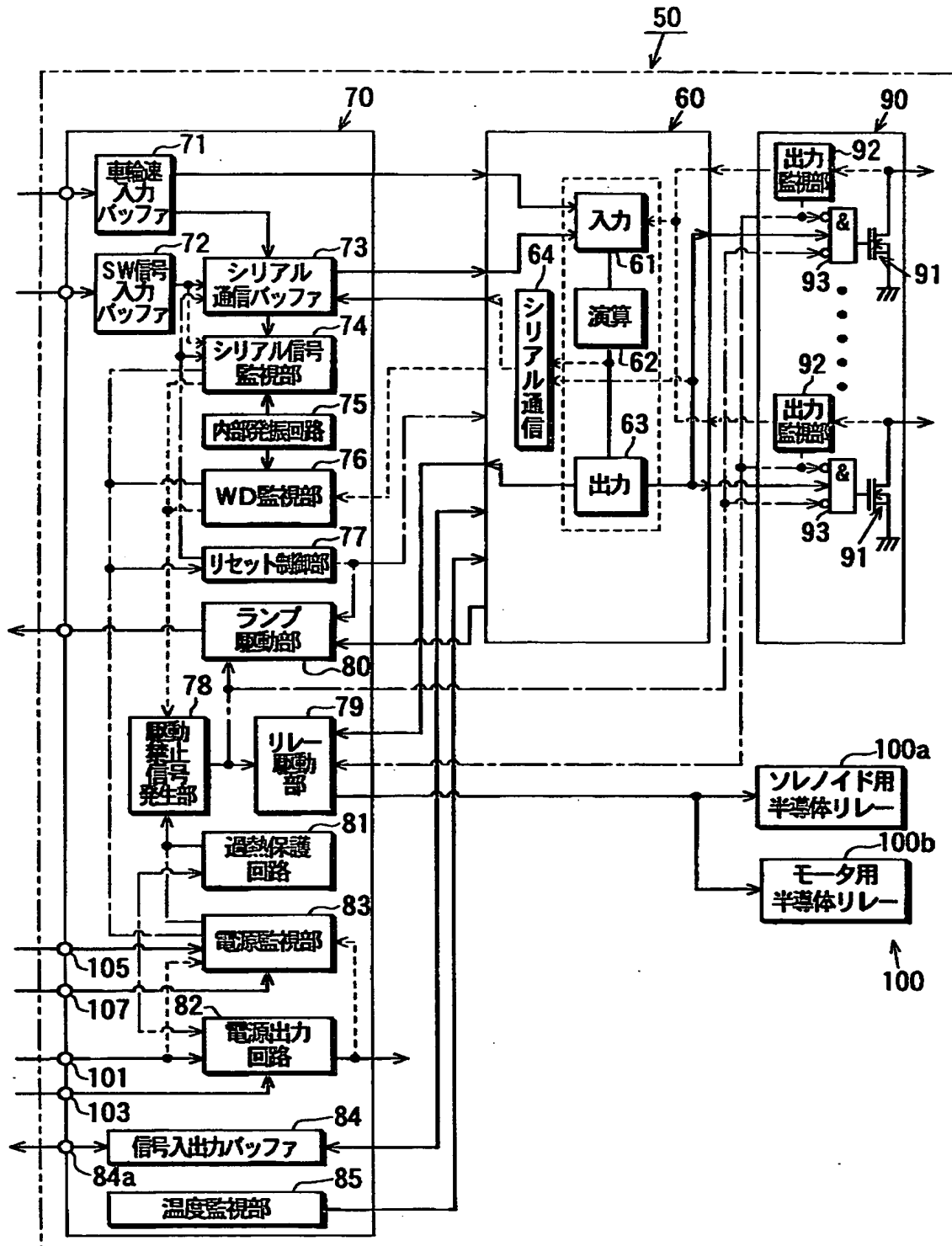
5 0 … A B S 制御用 E C U、 6 0 … マイクロコンピュータ、 7 0 … 周辺 I C、
8 2 … 電源出力回路、 8 2 a … 第 1 電源出力回路、 8 2 b … 第 2 電源出力回路、
8 3 … 電源監視部。

【書類名】 図面

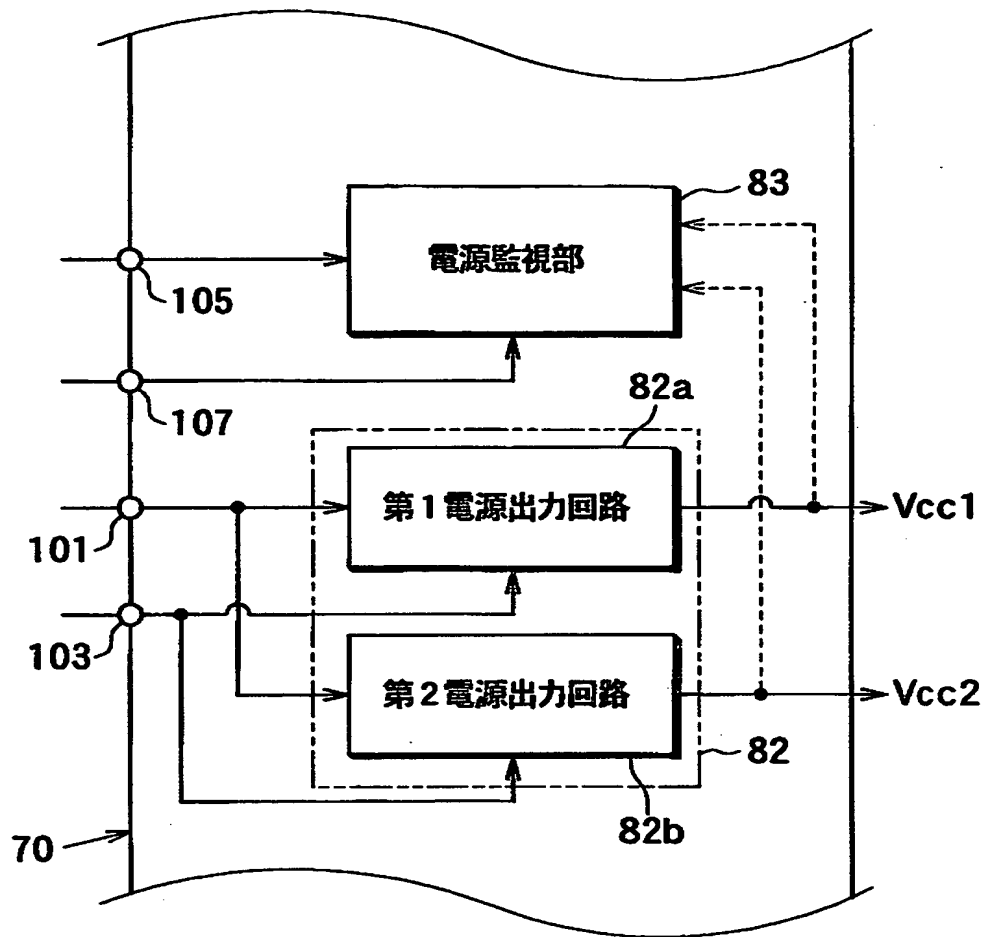
【図 1】



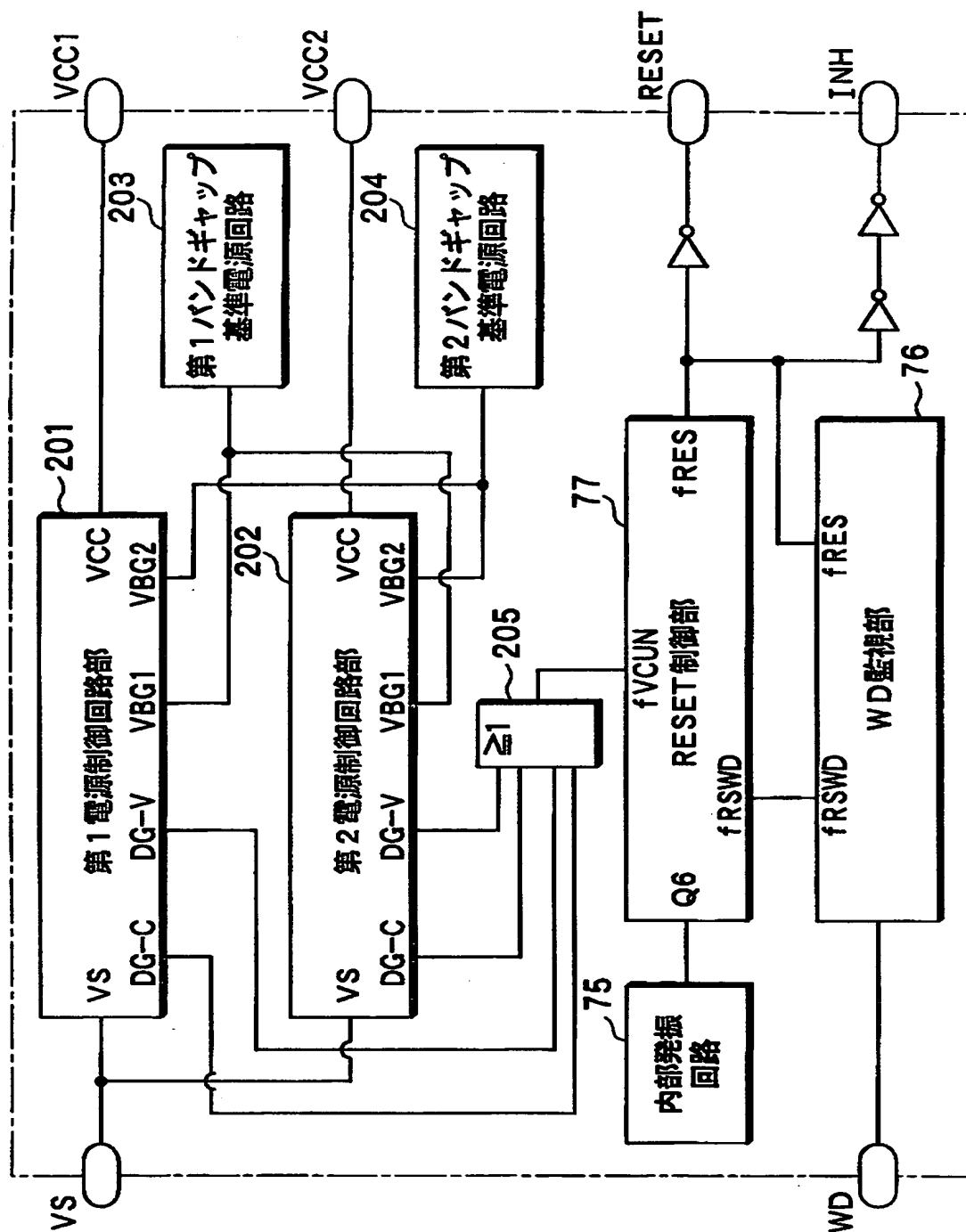
【図 2】



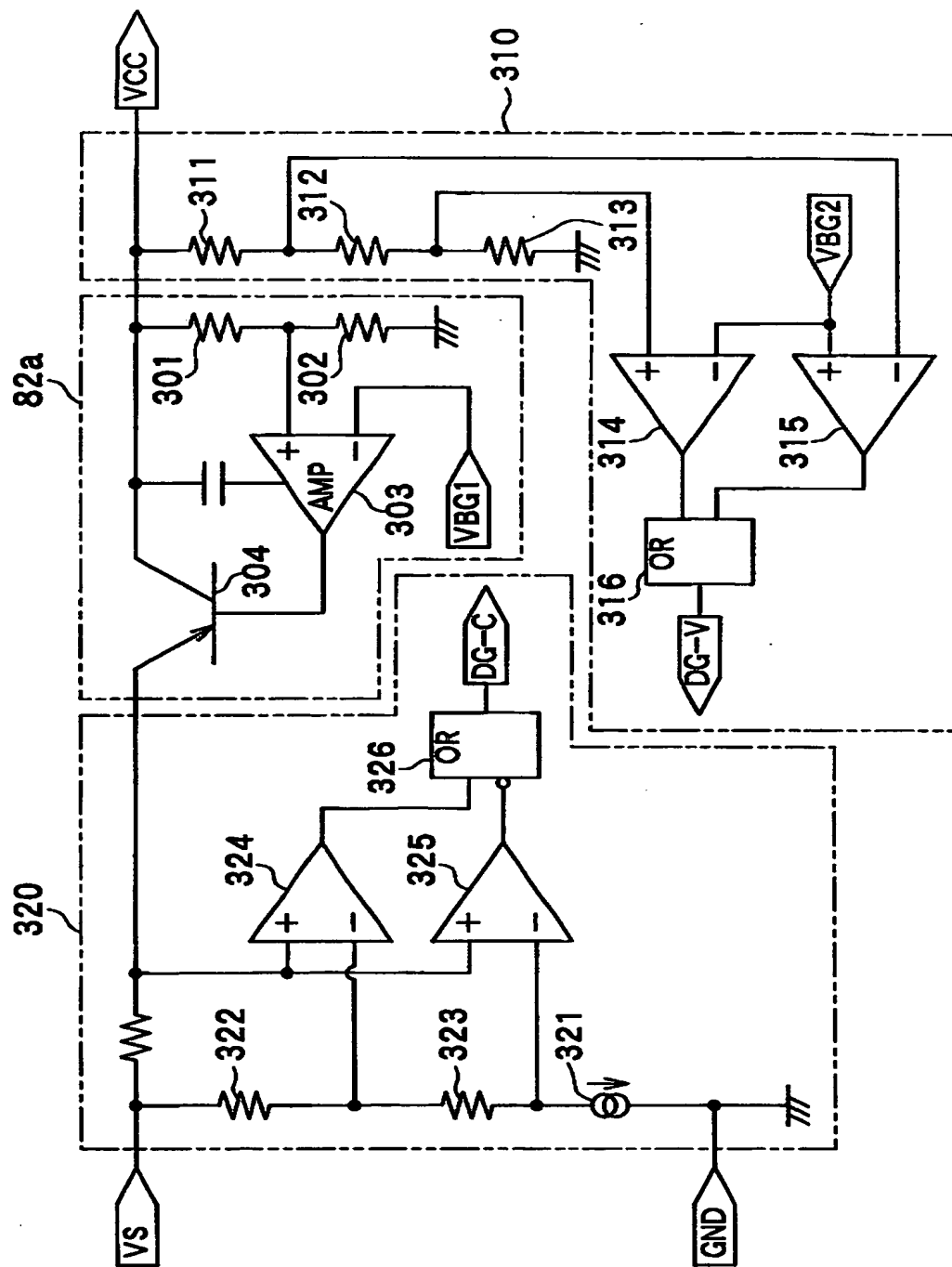
【図 3】



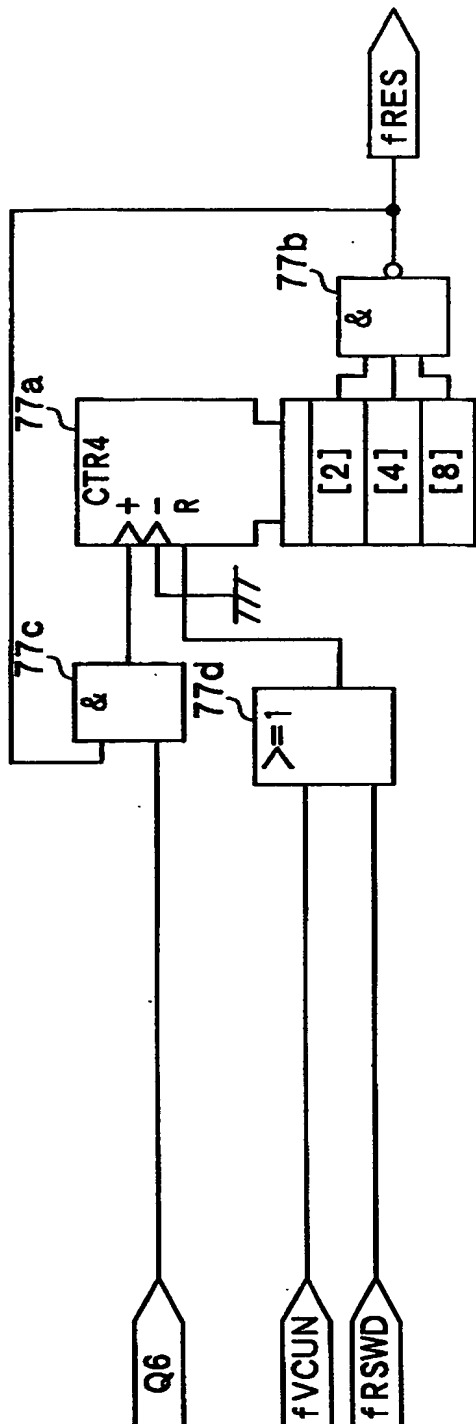
【図 4】



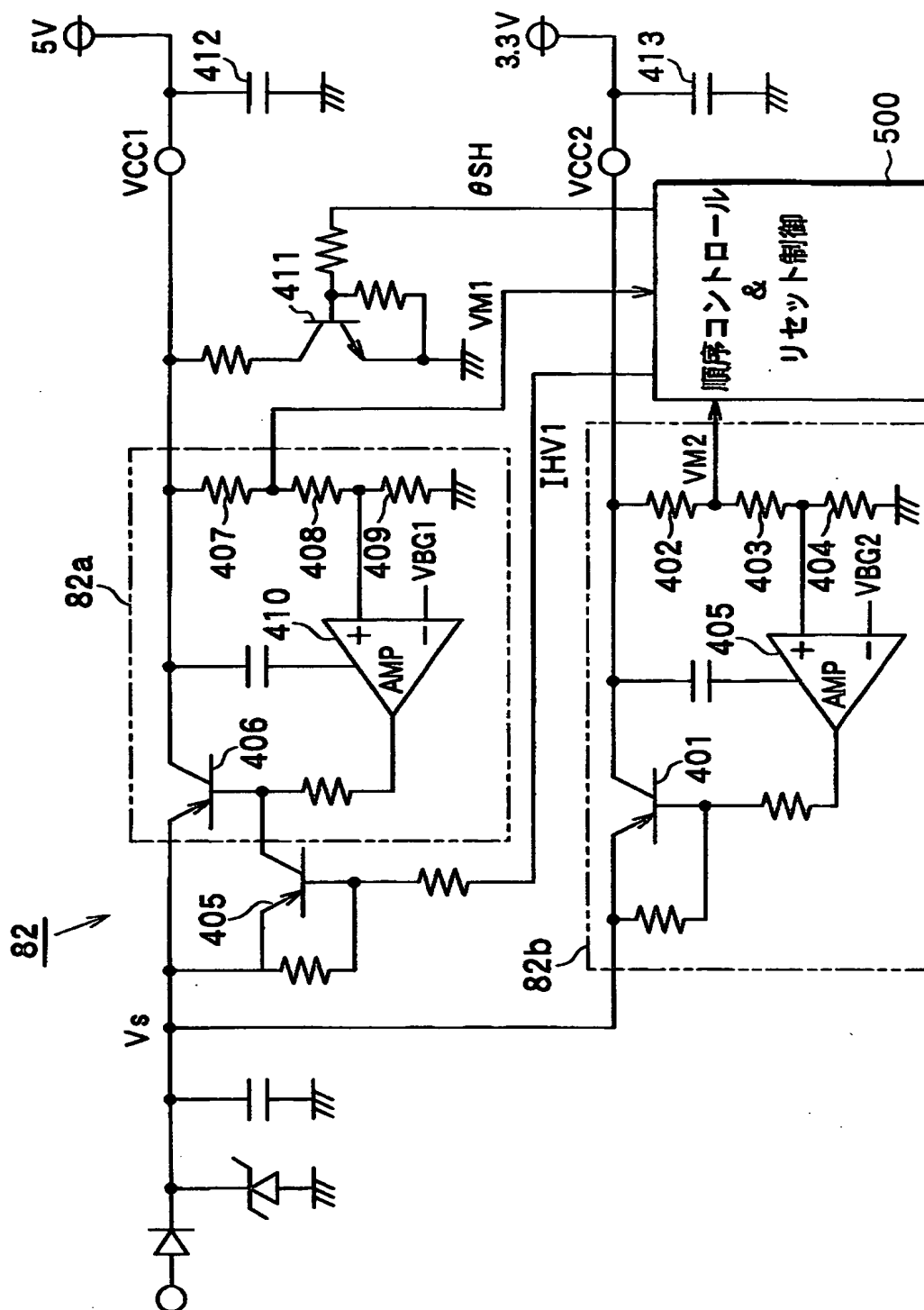
【図 5】



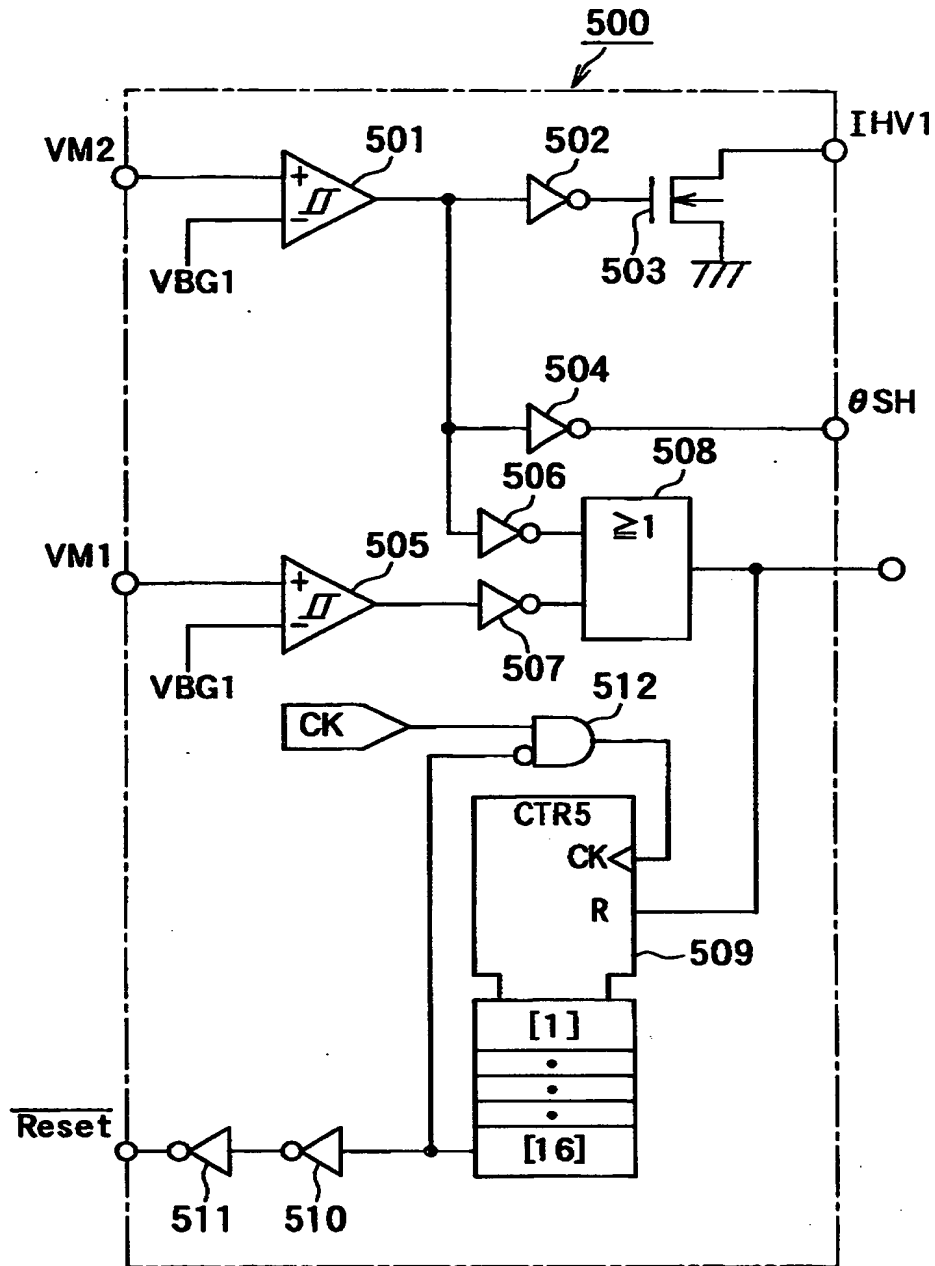
【図 6】



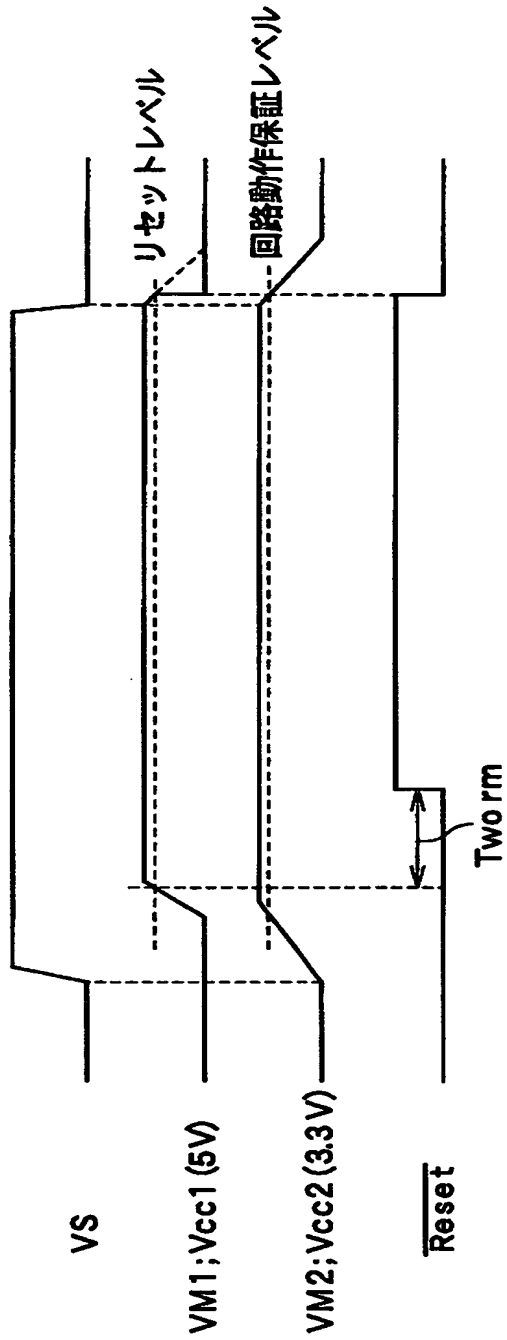
【図 7】



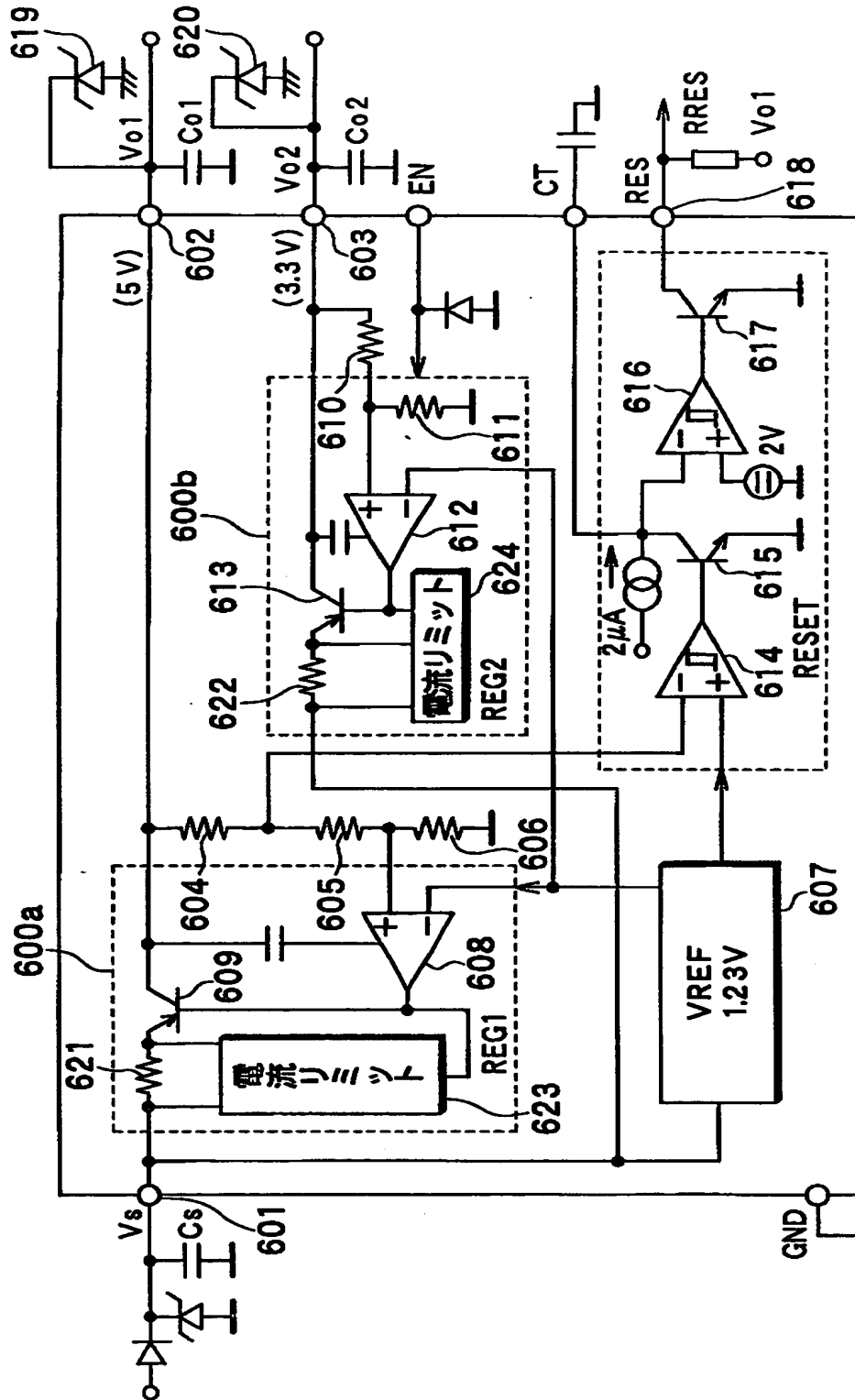
【図 8】



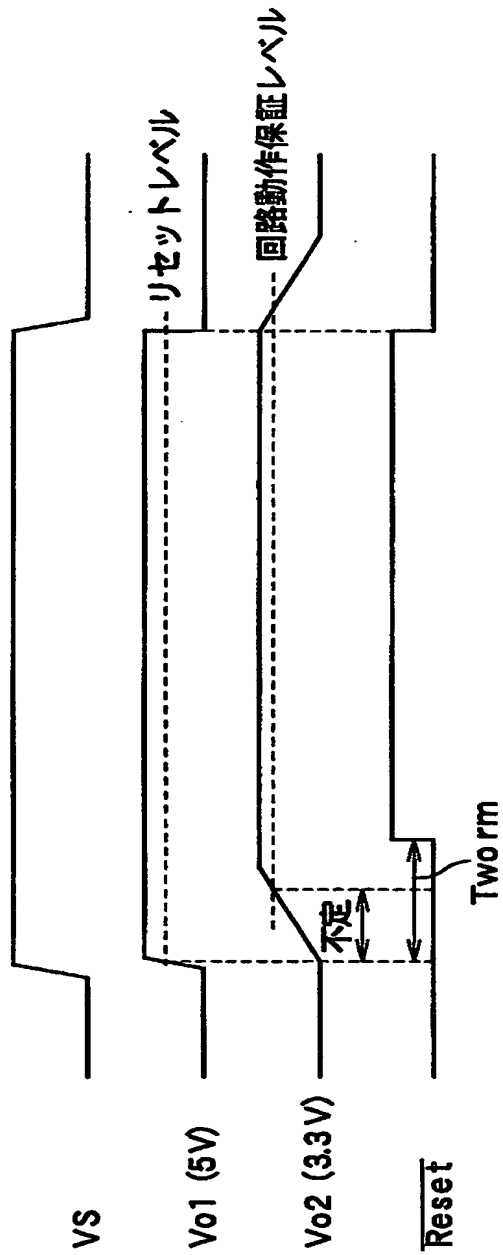
【図 9】



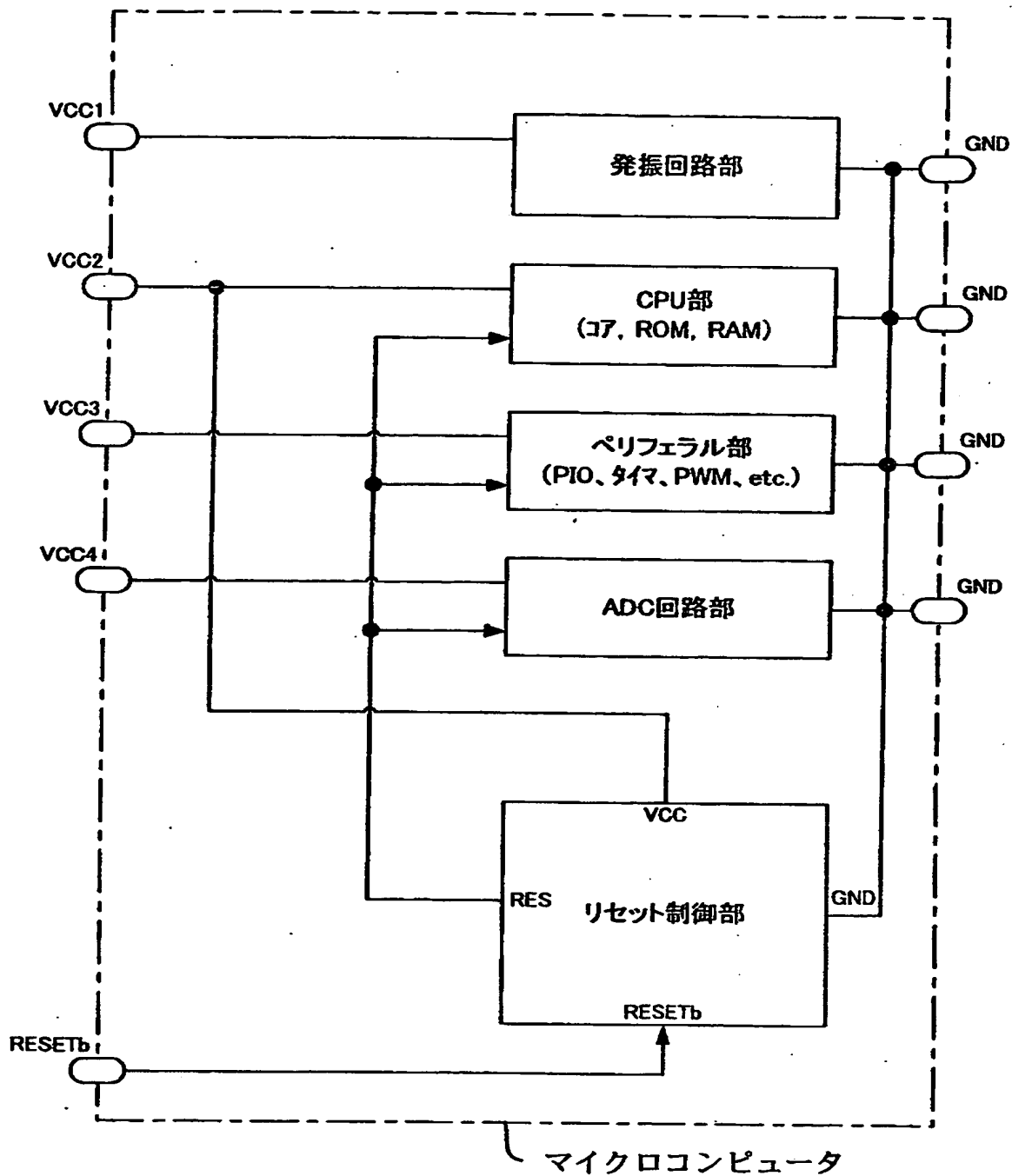
【図10】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 複数種の電源を形成するワンチップマイクロコンピュータを使用した回路において、マイクロコンピュータの動作保証が行えるようにする。

【解決手段】 2 電源回路において、各電源を形成する電源出力回路 8 2 a のそれぞれに、電源出力回路 8 2 a の出力電圧が所定範囲にあるかを検出する電圧異常検出回路 3 1 0 を設けると共に、電源出力回路 8 2 a に流れる電流が過電流になっていたり、低電流になっていたりすることを検出する電流異常検出回路 3 2 0 を備える。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000004260]

| | |
|----------|-----------------|
| 1. 変更年月日 | 1996年10月 8日 |
| [変更理由] | 名称変更 |
| 住 所 | 愛知県刈谷市昭和町1丁目1番地 |
| 氏 名 | 株式会社デンソー |